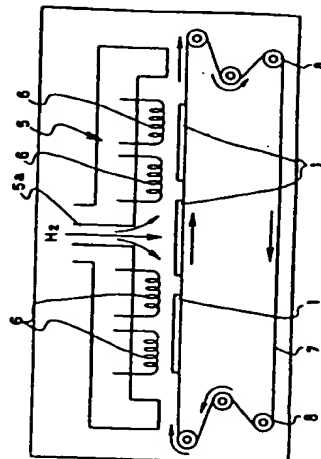


(54) METHOD AND APPARATUS FOR TREATING SURFACE OF PRE-SOLDERED LEADFRAME

- (11) 2-250368 (A) (43) 8.10.1990 (19) JP
 (21) Appl. No. 64-70664 (22) 24.3.1989
 (71) HITACHI LTD(1) (72) ASAO MATSUZAWA(2)
 (51) Int. Cl.⁵. H01L23/50, B23K1/20

PURPOSE: To prevent compounds obstructing wire bonding from attaching to the surface of an inner lead tip by a method wherein a lead frame is exposed in a reducing atmosphere of temperature wherein solder is not fused so as to reduce the solder part.

CONSTITUTION: In a reducing atmosphere 5a maintained at temperature wherein solder is not fused, a leadframe 1 with its outer lead part solder-plated is exposed to have the solder part reduced. Since the pre-soldered leadframe 1 is thus placed in the reducing atmosphere 5a and annealed, compounds attaching to the surface of an inner lead tip is reduced. Thus a bonding surface is free from contamination of compound, so that stable bonding is possible in wire bonding thereby improving yield and reliability.

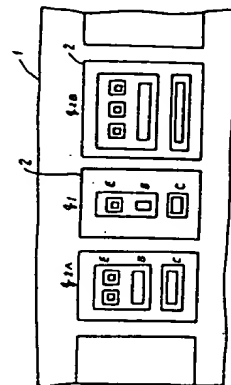


(54) SEMICONDUCTOR DEVICE

- (11) 2-250369 (A) (43) 8.10.1990 (19) JP
 (21) Appl. No. 64-70654 (22) 24.3.1989
 (71) HITACHI LTD(1) (72) TAKAMITSU KANAZAWA(1)
 (51) Int. Cl.⁵. H01L27/04, H01L27/06

PURPOSE: To maintain a device close to thermal equilibrium by a method wherein one or more of a plurality of semiconductor elements are divided into a plurality of pieces to have the other element interposed or so that they are mutually interposed.

CONSTITUTION: One or more of a plurality of semiconductor elements 2 are divided into a plurality of pieces to have the other element interposed or so that they are mutually interposed. For example, as shown in the figure, a transistor q_2 which is especially large in emitter size is divided into two transistors q_{2A} , q_{2B} to be arranged so that the other transistor q_1 is interposed between them. Thus even if the temperature of q_{2A} is lower than that of q_1 as reference, the temperature of entire q_2 is averaged, so that q_1 and q_2 can have characteristics equal or approximate to those in thermal equilibrium.



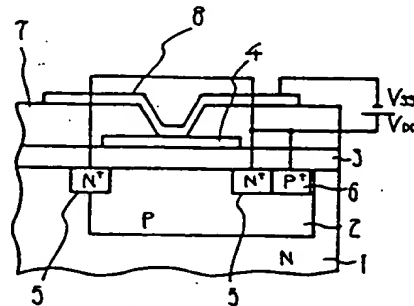
BEST AVAILABLE COPY

X (54) SEMICONDUCTOR INTEGRATED CIRCUIT

- (11) 2-250370 (A) (43) 8.10.1990 (19) JP
 (21) Appl. No. 64-72135 (22) 23.3.1989
 (71) NEC IC MICROCOMPUT SYST LTD (72) YOJI TAKEKOSHI
 (51) Int. Cl.⁵. H01L27/04

PURPOSE: To obtain a large volume capacitor with the same occupied area by a method wherein a power source wire is connected to a gate electrode of an interlayer insulation film opening provided on the surface including the gate electrode and provided on the interlayer insulation film so that the outer periphery of a bonding pad formation region may be surrounded.

CONSTITUTION: A power source wire 8 is connected to a gate electrode 4 of an interlayer insulation film 7 opening provided on the surface including the gate electrode 4 and provided on the interlayer insulation film 7 so that the outer periphery of a bonding pad formation region is surrounded. Then diffusion layers 5, 6 are connected to high potential V_{DD} of the power source respectively, while the power source wire 8 is connected to low potential V_{SS} of the power source to constitute a capacitor C for the power source. Thus the size of a semiconductor chip is not increased and a section under the power source wire on the periphery of the semiconductor is utilized, so that the larger capacity can be obtained the larger the chip size due to increase in input/output terminals.



This Page Blank (uspto)

⑬ Int.Cl.⁵

H 01 L 27/04

識別記号

C

庁内整理番号

7514-5F

⑭ 公開 平成2年(1990)10月8日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 平1-72135

⑰ 出 願 平1(1989)3月23日

⑱ 発 明 者 竹 腰 洋 司 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑲ 出 願 人 日本電気アイシーマイコンシステム株式会社 東京都港区芝5丁目7番15号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

半導体集積回路

特 許 請 求 の 範 囲

一導電型半導体基板の周縁部のボンディングパッド形成領域の外周に前記ボンディングパッド形成領域を取囲むように設けた逆導電型のウェルと、前記ウェルを含む表面に設けた誘電体層と、前記誘電体層上に設けたゲート電極とを有するMOS型容量部と、前記ゲート電極を含む表面に設けた層間絶縁膜と、前記層間絶縁膜に設けた開口部と、前記開口部の前記ゲート電極と接続し前記ボンディングパッド形成領域の外周を取囲むように前記層間絶縁膜上に設けた電源配線とを含むことを特徴とする半導体集積回路。

発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は半導体集積回路に関し、特に電源用コンデンサを有する半導体集積回路に関する。

〔従来の技術〕

従来の半導体集積回路は、半導体基板上に設けたトランジスタのジャンクション容量を利用して電源用のコンデンサを形成していた。

〔発明が解決しようとする課題〕

上述した従来の半導体集積回路は、出力トランジスタが複数個同時に動作する場合、半導体チップ上の電源の揺れが、伝達遅延時間に影響を与え、さらに電源の揺れが大きな場合はトランジスタの論理閾電圧の変動からフリップフロップ回路が誤動作する等の問題点があった。

また、トランジスタのジャンクション容量を利用して電源用のコンデンサを形成する場合、面積の割には容量は小さく(バイアスOVにおいて、同一専有面積におけるゲート容量の半分程度)、またバイアス電圧(電源電圧)によって容量値が空乏層の影響により変り、特に、トランジスタの能力が増し、電源の揺れが大きくなる高電圧機種

になるほど半導体基板の不純物濃度を必然的に低くする必要がありその結果容量値が小さくなるという欠点がある。

〔課題を解決するための手段〕

本発明の半導体集積回路は、一導電型半導体基板の周縁部のボンディングパッド形成領域の外周に前記ボンディングパッド形成領域を取囲むように設けた逆導電型のウェルと、前記ウェルを含む表面に設けた誘電体層と、前記誘電体層上に設けたゲート電極とを有するMOS型容量部と、前記ゲート電極を含む表面に設けた層間絶縁膜と、前記層間絶縁膜に設けた開口部と、前記開口部の前記ゲート電極と接続し前記ボンディングパッド形成領域の外周を取囲むように前記層間絶縁膜上に設けた電源配線とを含んで構成される。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図及び第2図は本発明の一実施例を示す半導体チップの断面模式図及び等価回路図であ

る。

第1図及び第2図に示すように、N型のシリコン基板1の周縁部に配列して設けるボンディングパッド形成領域(図示せず)の外周に前記ボンディングパッド形成領域を取囲むように選択的に設けたP型のウェル2と、ウェル2を含む表面に設けた誘電体の酸化膜3と、ウェル2の上の酸化膜3の上に選択的に設けたゲート電極4と、ゲート電極4に整合してウェル2に設けたN⁺型の拡散層5と、拡散層5と接してウェル2内に設けたP⁺型の拡散層6と、ゲート電極4を含む表面に設けた層間絶縁膜7と、層間絶縁膜7を選択的にエッチングして設けた開口部と前記開口部のゲート電極4と接続し、層間絶縁膜7の上を前記ボンディングパッド形成領域の外周に設けた電源配線8とを有して半導体集積回路を構成し、拡散層5、6のそれぞれを電源の高電位V_{DD}に接続し、電源配線8を電源の低電位V_{SS}に接続して電源用コンデンサCを構成する。

MOSトランジスタでは適当なゲートバイアス

$$C_0 = \frac{\epsilon_{ox} \cdot \epsilon_0}{t_{ox}}$$

但し、

C₀ : 単位面積当りのゲート容量

ϵ_{ox} : ゲート酸化膜の比誘電率

ϵ_0 : 真空の誘電率

t_{ox} : ゲート酸化膜厚

を得ることができ同一専有面積で大きな容量を有するコンデンサを得ることができる。

〔発明の効果〕

以上説明したように本発明は、半導体チップの周縁部のボンディングパッド形成領域の外周の半導体基板に設けたウェルと、ウェルの上に設けた誘電体層を介して設けたゲート電極による容量部と、ゲート電極を含む表面に設けた層間絶縁膜と、層間絶縁膜に設けた開口部を介してゲート電極と接続し、且つボンディング形成領域の外周に設けた電源配線とを有して構成することにより半導体チップの寸法を拡大することなく、また、使用トランジスタをディプレッション型にしてお

の下で、蓄積状態、空乏状態、空乏-反転状態のうち、いずれかひとつの状態をとるが、まず、空乏状態の領域を使用すると、空乏層の広がりにより空乏領域容量がゲート容量と基盤間に直列接続されたと等価になり、容量値が減少する。また、空乏-反転状態の領域を使用すると低周波ではよいが高周波ではゲート下のキャリアの発生-再結合プロセスにおいてそのスピードが追従出来ず、反転層に瞬間的に電子を供給できなくなり、容量値としては、一定の極小値に保たれることになる。すなわち、空乏状態の領域を使用した場合は、専有面積の割に小さい値となり、空乏-反転領域を使用した場合は、高周波成分を有する電源の揺れノイズに対しては実効的に容量は小さくなってしまふ。

本発明の構造では、ゲートの電位がV_{SS}、バックゲートの電位がV_{DD}であることから蓄積状態の領域を使用することになり、高周波においてもほぼ酸化膜の容量値に相当する容量C₀。

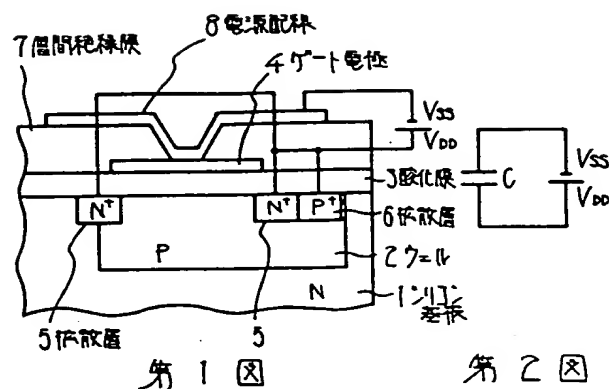
くため、広範な電源電圧範囲を有するチップにおいても容量の変化しない電源用コンデンサを得ることが出来る。

また、半導体周縁部の電源配線下を利用することから、入出力端子が増えてチップ寸法が増加すればするほど大きな容量を得ることができ、複数の出力同時動作時等による電源の揺れを低減出来る。

図面の簡単な説明

第1図及び第2図は本発明の一実施例を示す半導体チップの断面模式図及び等価回路図である。

1…シリコン基板、2…ウェル、3…酸化膜、4…ゲート電極、5、6…拡散層、7…層間絶縁膜、8…電源配線。



第1図

第2図

代理人 弁理士 内 原 晋

DOCKET NO. GR 98-5935

SERIAL NO. _____

APPLICANT: Ehrlich et al.

LENNER AND GREENBERG, P.A.

F.O. BOX 2480

HOUSTON, TEXAS 77002

TEL. (713) 925-1100